

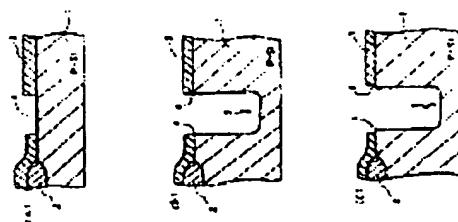
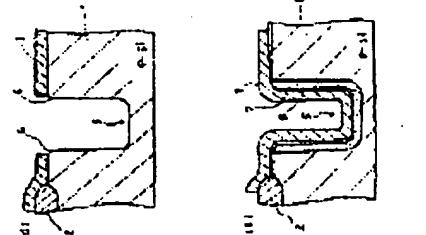
MANUFACTURE OF SEMICONDUCTOR DEVICE

Patent number: JP1241129
Publication date: 1989-09-26
Inventor: IMAI KEITAROU others: 02
Applicant: TOSHIBA CORP
Classification:
- **international:** H01L21/302; H01L21/306
- **European:**
Application number: JP19880067100 19880323
Priority number(s):

[Report a data error here](#)**Abstract of JP1241129**

PURPOSE: To round the corner of silicon in an opening section in a trench effectively, and to improve element characteristics by exposing the corner of the opening section of silicon to the trench of silicon formed through an anisotropic dry etching method and performing wet-etching or dry-etching of silicon.

CONSTITUTION: A mask material 3 is shaped to an silicon substrate 1, and, a window 4 is bored to the mask material 3. Silicon in the lower section of the window 4 is etched through anisotropic dry etching while using the mask material 3 as a mask, thus forming a trench 5. One part of the mask material 3 is etched to expose the corner 6 of the opening section of silicon, silicon is wet-etched, and the steep shape of the silicon corner 6 of the opening section in the trench 5 is rounded. Accordingly, the characteristics of an element shaped into the trench section 5 can be improved.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

⑪ 公開特許公報 (A) 平1-241129

⑤ Int. Cl.
H 01 L 21/302
21/306識別記号
M-8223-5F
S-7342-5F

④ 公開 平成1年(1989)9月26日

審査請求 未請求 請求項の数 2 (全3頁)

② 発明の名称 半導体装置の製造方法

② 特願 昭63-67100

② 出願 昭63(1988)3月23日

③ 発明者 今井 駿太郎 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

③ 発明者 大谷 泰一 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

③ 発明者 伊藤 康浩 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

④ 出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

④ 代理人 弁理士 則近 憲佑 外1名

明細書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) シリコン基板に対し、マスク材を形成する工程と、マスク材に窓をあける工程と、マスク材をマスクとして異方性ドライエッティングによって窓の下部のシリコンをエッティングする工程と、マスク材の一部をエッティングしてシリコン開口部のコーナを露出する工程と、しかる後にシリコンをウェットエッティングする工程とを具備することを特徴とする半導体装置の製造方法。

(2) 前記シリコンをウェットエッティングする工程に代わり、シリコンを等方性ドライエッティングする工程を用いることを特徴とする請求項1記載の半導体装置の製造方法。

3. 発明の詳細な説明

【発明の目的】

(産業上の利用分野)

本発明は半導体装置の製造方法に係り、特に異

方性ドライエッティング法によって加工されたシリコンの面においてエッティング法によって効果的にシリコンの角部を丸める工程を有する半導体装置の製造方法に関する。

(従来の技術)

近年1トランジスタ/1キャパシタ構成のメモリセルを用いたダイナミックRAM(DRAM)の高集成化が著しい。このDRAMにおいて高集成化に伴うキャパシタ容量の減少を補償するために、キャパシタ面積を稼ぐ構造が有望視されている。この場合、シリコン基板の微細領域に溝を形成する方法として通常、反応性イオンエッティング(RIE)法が用いられ、SiO₂膜等をマスクとして溝はほぼ垂直側壁をもって形成される。しかし、RIEによってこのような溝を形成すると溝の側壁及び底部のシリコンの表面層にはエッティング時のイオン衝撃により損傷が生じる。さらにエッティングガスとシリコンとの反応生成物がシリコン表面に汚染層として堆積する。このようなことから、シリコンのRIEの後には、これら損傷層及び汚

染層を除去する工程が必要である。従来からこの後処理工程としてはシリコンのウェットエッチング処理或はその技術の延長としてシリコンのドライエッチング処理が行われている。

しかし、 SiO_2 等のマスク材をマスクとしてRIE法によってシリコンに溝を形成した場合、溝の開口部のシリコンのコーナはほぼ直角の急峻な形状を示している。さらにマスク材側面とシリコン溝部側面は同一面によって構成されていることになる。したがって、シリコンの溝形成直後に後処理工程におけるシリコンのウェットエッチング或いはドライエッチングを行った場合は同時に急峻なコーナ形状を丸めることはできない。

このような急峻なコーナを有した溝部にトレンチキャバシタを形成すると、コーナ部でのキャバシタ酸化膜の薄膜化が生じ、さらに動作時にこの部分で電界の集中が生じるため、酸化膜の耐圧劣化を招くことになる。このような酸化膜の耐圧劣化は電子特性を著しく劣化させることになる。

(発明が解決しようとする課題)

ナを後処理工程時に同時に効果的に丸めることが可能である。

この場合、マスク材側面とシリコン溝側面とは同一面をもって形成されているため、一旦マスク材を一部エッチングし、マスク材を後退させることが必要である。これによってシリコンの開口部コーナが露出し、その後のシリコンのウェットエッチング或いはドライエッチングによってコーナを丸めることができる。この時のマスク材のエッチング後退量はシリコンコーナの丸めの程度によって変わってくるが、効果的な丸めを行るためには100Å以上必要である。

以上のように、本発明によれば、異方性ドライエッチング法によるシリコンの溝形成後開口部の急峻なシリコンのコーナを、後処理工程と同時に効果的に丸めることができる。これによって、この溝部に形成された電子の特性を大きく向上させることが可能となる。

(実施例)

第1図(a)～(e)は本発明をDRAMにおける

本発明は上記の点に鑑み、異方性ドライエッティング法によって形成されたシリコンの溝に対し、後処理工程でのシリコンのウェットエッチング或いはドライエッティングにおいて同時に溝開口部の急峻なシリコンコーナの形状を丸めることによって、この溝部に形成される電子の特性向上を図り、もってDRAMなどにおける電子特性の向上を可能とした半導体装置の製造方法を提供することを目的とする。

(発明の構成)

(課題を解決するための手段)

本発明は、異方性ドライエッティング法によって形成されたシリコンの溝に対し、一旦マスク材を一部エッチングしてシリコン開口部のコーナを露出し、その後、シリコンのウェットエッチング或いはドライエッティングを行い、急峻なシリコンコーナを効果的に丸める。

(作用)

本発明によれば、異方性ドライエッティングによって形成されたシリコン溝の開口部シリコンコー

トレンチキャバシタに適用した実施例の製造工程を示す断面図である。まず、第1図(a)に示すように例えば比抵抗5～50Ω・cmのP型(100)シリコン基板1を用意し、フィールド絶縁膜2を形成した後、全面に厚さ1μ程度のCVD酸化膜3を形成する。このCVD酸化膜3に対し通常の写真食刻法によって窓4を開ける。この後、これをマスクとして反応性イオンエッティング(RIE)法により、シリコン基板表面に垂直壁を有する深さ3μ程度の溝5を形成する(第1図(b))。

この後、マスク材であるCVD酸化膜3をフッ酸系水溶液で200Åエッチングし後退させる(第1図(c))。この場合、マスク材は材質の異なる多層膜を用いてもよい。

しかし後、例えばCF₄、O₂混合ガスの低圧プラズマ中でシリコンの等方性ドライエッティングを行うと、第1図(d)に示すように溝開口部のコーナ6を丸めることができる。この時、例えばアルカリ系水溶液によるウェットエッティングによっても同様の効果を得ることができる。

この後は、CVD酸化膜3をエッティング除去して、n型不純物層7を形成させた後、キャパシタ酸化膜8、プレート電極9を形成してトレンチキャパシタが完成する(第1図(d))。

この実施例によれば、RIEにより形成された導開口部のシリコンコーナーを効果的に丸めることができ、キャパシタの特性を大きく向上させることができるとなる。したがって、この実施例によれば信頼性の高い高集積DRAMを得ることができると。

本発明は上記実施例に限ることなく、一般に異方性ドライエッティング法によって加工された凹凸を有するシリコン表面上に洞子を形成する半導体装置の製造方法に応用することができる。

【発明の効果】

本発明によれば異方性ドライエッティング法により加工されたシリコンの端において、導開口部のシリコンのコーナを効果的に丸めることができ、洞子特性を向上させることができる。

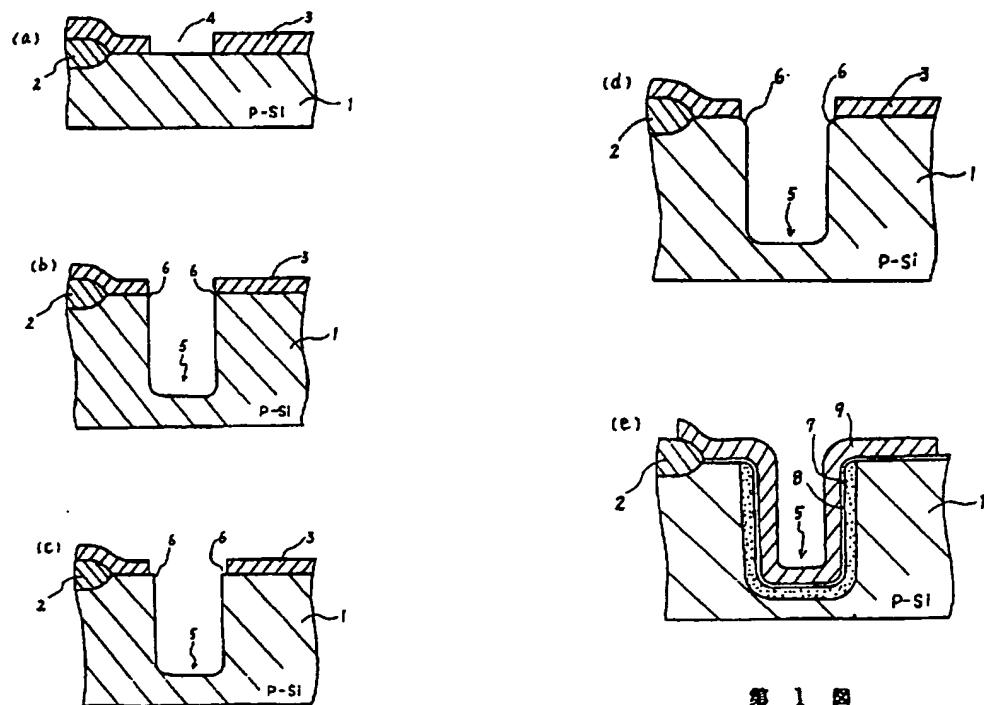
4. 図面の簡単な説明

第1図は本発明の一実施例によるDRAMセルの製造工程を示す断面図である。

1…p型(100)シリコン基板。	2…フィールド酸化膜。
3…CVD酸化膜。	4…窓。
5…窓。	6…シリコンコーナ。
7…n型不純物層。	8…キャパシタ酸化膜。
9…プレート電極。	

代理人 井理士 田近 邦佑

同 松山 九之



第1図